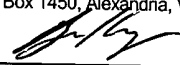



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : TBD Confirmation No. TBD
Applicant : Satoru Adachi
Filed : Herewith
TC/A.U : TBD
Examiner : Not Assigned
Docket No. : TI-35055
Customer No. : 23494

TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C § 119

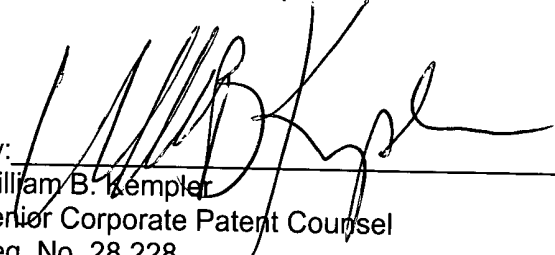
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

<p>"EXPRESS MAIL" mailing label number <u>EV 333320765 US</u>. I hereby certify that the Preliminary Amendment and the accompanying Application is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 § CFR 1.10 on the above-mentioned date and is addressed to the Mail Stop Patent Application, Commissioner of Patents, P. O. Box 1450, Alexandria, VA 22313-1450.</p>	
	
Allen B. Kroger	DATE

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-320,252, filed on November 01, 2002 in the Japanese Patent Office and from which priority under 35 U.S.C § 119 is claimed for the above-identified application.

Respectfully submitted,
Texas Instruments Incorporated

By: 
William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228
(972) 917-5452

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月1日
Date of Application:

出願番号 特願2002-320252
Application Number:
[ST. 10/C]: [JP2002-320252]

出願人 日本テキサス・インスツルメンツ株式会社
Applicant(s):

2003年9月5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

特許-35055 (2002J017)

出証番号 出証特2003-3072940



【書類名】 特許願

【整理番号】 020400

【提出日】 平成14年11月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14
H01L 31/00
H04N 5/335

【発明の名称】 固体撮像装置

【請求項の数】 12

【発明者】

【住所又は居所】 茨城県稲敷郡美浦村木原 2 3 5 0 番地 日本テキサス・
インスツルメンツ株式会社内

【氏名】 足立 理

【特許出願人】

【識別番号】 390020248

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102925

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】

光を受光して信号電荷を生成および蓄積する受光部を有する画素が複数個集積された固体撮像装置であって、

第 1 導電型の半導体基板と、

上記半導体基板の主面に形成されている第 2 導電型の半導体層と、

上記半導体層上にゲート絶縁膜を介して形成された画素選択用のゲート電極と

上記画素選択用のゲート電極の一方の側部に配置されている受光部において上記半導体層の表層に形成されている第 1 導電型の第 1 の半導体領域と、

上記受光部における上記半導体層の表層において、上記第 1 の半導体領域よりも深く形成されている第 1 導電型の第 2 の半導体領域と、

上記画素選択用のゲート電極の他方の側部における上記半導体層の表層に形成されており、上記第 1 の半導体領域よりも高濃度の第 1 導電型不純物を含有する第 1 導電型の第 3 の半導体領域と

を有する固体撮像装置。

【請求項 2】

上記受光部における上記半導体層において、光を受光して生成された信号電荷が蓄積され、

上記受光部における上記半導体層において蓄積された信号電荷により、上記半導体基板、上記半導体層および上記第 2 の半導体領域を含む接合トランジスタの閾値が変調される

請求項 1 に記載の固体撮像装置。

【請求項 3】

上記半導体層上にゲート絶縁膜を介して形成されたりセット用のゲート電極と

上記リセット用のゲート電極の一方の側部における上記半導体層の表層に形成



されている第2導電型の第4の半導体領域と

をさらに有し、

上記リセット用のゲート電極の他方の側部における上記半導体層の表層に上記第1の半導体領域が配置されており、

上記半導体層、上記リセット用のゲート電極、および、上記第4の半導体領域を含む埋め込みチャンネル型のリセット用トランジスタが構成されて、上記リセット用トランジスタの動作により上記受光部において蓄積された上記信号電荷を上記受光部の外部へ排出する

請求項1に記載の固体撮像装置。

【請求項4】

一画素における上記画素選択用のゲート電極と一画素に隣接する画素における上記リセット用のゲート電極が接続されている

請求項3に記載の固体撮像装置。

【請求項5】

上記第1の半導体領域の外周であって、上記画素選択用のゲート電極および上記リセット用のゲート電極が形成されている部分以外の部分における上記半導体層の表層において、上記第1の半導体領域よりも高濃度の第1導電型不純物を含有する第1導電型の第5の半導体領域が形成されている

請求項3に記載の固体撮像装置。

【請求項6】

上記第5の半導体領域の外周であって隣接する画素間における半導体層の上層に、ゲート絶縁膜を介して、素子分離用のトランジスタのゲート電極となるフィールドプレートが形成されている

請求項5に記載の固体撮像装置。

【請求項7】

複数の受光素子が直線状に配置された複数の画素列を有し、隣接する画素列において受光素子の配置がおおよそ1/2ピッチずれている固体撮像装置であって

上記受光素子は、



半導体基板の主面に形成された第 1 導電型の半導体層と、
画素列の一方の端部側において上記半導体層上に絶縁膜を介して形成された読み出し用ゲート電極と、
画素列の他方の端部側において上記半導体層上に絶縁膜を介して形成されたりセット用ゲート電極と、
上記読み出し用ゲート電極と上記リセット用ゲート電極との間の領域において上記半導体層上に形成された第 2 導電型の第 1 の半導体領域と、
上記第 1 の半導体領域内の上記リセット用ゲート電極よりも上記読み出し用ゲート電極に近い領域において上記半導体層上に形成された上記第 1 の半導体領域よりも不純物濃度の高い第 2 導電型の第 2 の半導体領域と、
上記読み出し用ゲート電極を挟んで上記第 1 の半導体領域と対向する領域において上記半導体層上に形成された上記第 1 の半導体領域よりも不純物濃度の高い第 2 導電型の第 3 の半導体領域と、
上記リセット用ゲート電極を挟んで上記第 1 の半導体領域と対向する領域において上記半導体層上に形成された上記半導体層よりも不純物濃度の高い第 1 導電型の第 4 の半導体領域と
を有し、
隣接する画素列において対向する受光素子の上記読み出し用ゲート電極と上記リセット用ゲート電極とが電氣的に接続されている
固体撮像装置。

【請求項 8】

隣接する画素列において対向する受光素子の上記読みだし用ゲート電極と上記リセット用ゲート電極とが 1 つの導電層で形成され、上記導電層が隣接する画素列の間に蛇行するように配置されている

請求項 7 に記載の固体撮像装置。

【請求項 9】

同一画素列内の隣接する受光素子の上記第 1 の半導体領域が当該第 1 の半導体領域よりも不純物濃度の高い第 2 導電型の第 5 の半導体領域により分離されている

請求項 7 または 8 に記載の固体撮像装置。

【請求項 1 0】

上記第 5 の半導体領域上に絶縁膜を介してプレート電極が形成されている

請求項 9 に記載の固体撮像装置。

【請求項 1 1】

上記リセット用ゲート電極に第 1 の電圧が印加されたときに上記受光素子がリセットされて上記受光素子に蓄積された電荷が排出され、上記読み出し用ゲート電極に第 2 の電圧が印加されたときに上記受光素子に蓄積された電荷に応じた信号が出力される

請求項 7、8、9 または 1 0 に記載の固体撮像装置。

【請求項 1 2】

上記第 1、第 2 および第 3 の半導体領域の導電型が p 型であり、上記半導体層および上記第 4 の半導体領域の導電型が n 型である

請求項 7、8、9、1 0 または 1 1 に記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は固体撮像装置に関し、特に CMOS トランジスタ (Complementary Metal Oxide Semiconductor Transistor) を形成するロジックプロセスで製造可能な CMOS イメージセンサと呼ばれる固体撮像装置に関する。

【0 0 0 2】

【従来の技術】

CMOS ロジックプロセスを使用して作る CMOS イメージセンサ (以下 CMOS センサとも称する) は、チップの受光部にアンプを内蔵した APS (アクティブピクセルセンサ) と呼ばれるものである。

これは、光によって発生した電荷を電流増幅して受光部外に取り出す方式で、画質的に有利となっている。

【0 0 0 3】

上記の CMOS センサとしては、例えば、1 画素あたりにアンプを構成するト

ランジスタを3から5個有する構成のCMOSイメージセンサ（代表して4トランジスタ構成のCMOSセンサと称する）が広く用いられている。

【0004】

しかし、上記の4トランジスタ構成のCMOSセンサにおいては、上記の受光部内のアンプが占める面積により、開口率が20%程度にとどまって開口率の向上が困難であるとともに、画素の縮小化が困難であるという問題点があり、センサ特性の向上をCMOSプロセスの微細化に頼っている面が大きい。

また、その構造上、信号電荷の完全空乏化ができず、kTCノイズと呼ばれるリセット動作に伴うノイズを信号成分に含んでしまう点が実用化に向けての大きな課題となる。

【0005】

一方、完全空乏化可能な受光部を持つCMOSセンサとして、リセット時に信号電荷を完全に排出するタイプの電荷検出部を組み合わせた新しいCMOSセンサが開発されている。このタイプのCMOSセンサは、kTCノイズがゼロである高画質を実現できる潜在的な能力を持っており、高速駆動が可能であるという利点を有している。

【0006】

上記の完全空乏化可能な受光部を持つCMOSセンサについて、いくつかの報告がなされている。

一つは、MOSゲート閾値変調型と呼ばれる基板の面内方向に電荷検出電流を流す構造を有するCMOSセンサであり、開口率が約30%程度のものが開発されている（非特許文献1参照）。

【0007】

しかし、上記のMOSゲート閾値変調型のCMOSセンサは、電荷検出用ゲートと画素選択用のゲートが共用となっているため、非選択画素に強い光が当たって非選択画素のソース電流が流れ出してしまうと黒スミアとなるコンセプト的な問題点を有する。

【0008】

また、縦型PNPトランジスタ（接合トランジスタ）によりシリコンウエハの

深さ方向（以下縦方向）に電荷検出電流を流す構造を持つ電荷検出部が開発されている（特許文献1参照）。以下縦型PNPトランジスタ型センサと称する。

この縦型PNPトランジスタ型センサの開口率は約30%程度となっており、MOSゲート閾値変調型のCMOSセンサに比べて電荷検出電流をより多く流すことができるため、ジョンソンノイズを大幅に低減できる。

また、画素選択用のゲートを電荷検出部と分離することが可能なので、MOSゲート閾値変調型のCMOSセンサにおいて問題となる黒スミアの点でも有利である。

【0009】

【非特許文献1】

ミイダ・T (Miida T.) 他著、「局在化されたホール変調法による1.5Mピクセルイメージャー (1.5M Pixel Imager with Localized Hole Modulation Method)」、アイエスエスシーシー・ダイジェスト・オブ・テクニカル・ペーパーズ (ISSCC Digest of Technical Papers)、(米国)、第55巻、2002年2月

【特許文献1】

米国特許出願公開第2002/0054225号明細書

【0010】

【発明が解決しようとする課題】

しかしながら、上記の縦型PNPトランジスタ型センサにおいては、CMOSセンサに応用した場合、受光部内に電荷検出電流を流すためのソース・ドレイン領域のコンタクトが必要になる点が問題点となる。

これは、面積の有効利用の点から電荷検出部をそのまま受光部として使用することが望ましいが、ソース・ドレイン領域のコンタクトのための配線が受光部を遮光してしまうので開口率の低下を招く。さらに、シリサイドプロセスを採用する場合、受光部にコンタクトが存在することで暗電流や傷などの問題や、シリサイド下部における不純物の濃度調整が難しく、縦型PNPトランジスタの特性を確保することが困難であるという問題が新たに発生する。

一方、受光部を別に設けた場合は、転送用ゲートや電荷検出部のための面積が必要となるため、受光部の面積を広く採れなくなり、開口率の低下が生じる。

また、目的の画素を選択するためのトランジスタが画素毎に必要となるが、通常のNMOSトランジスタを使用した場合、素子分離の面積が必要になり、さらに開口率は低下する。

【0 0 1 1】

このように、従来のイメージセンサの問題点で共通な点は、受光部面積の不足である。これはイメージセンサの重要な特性である感度と解像度に対して十分な余裕が無いことを示している。もちろん、微細加工技術とOCL (on chip lens) である程度の改善は期待できるが、通常CMOSで要求されるリーク電流とイメージセンサで要求されるリーク電流は異なり、CMOSの微細加工技術をそのまま転用できるわけではない。また、受光部面積が小さい場合、OCLの焦点位置によって感度が変わってしまうため、F値の大きいレンズに対しては特殊なレンズ設計が要求されることもある。

【0 0 1 2】

本発明は上記の問題点に鑑みてなされたものであり、本発明は、kTCノイズをゼロにすることが可能な構造において、黒スミアや暗電流を抑制し、開口率を向上して受光部面積の不足を解消することができる固体撮像装置を提供することを目的とする。

【0 0 1 3】

【課題を解決するための手段】

上記の目的を達成するため、本発明の第1の固体撮像装置は、光を受光して信号電荷を生成および蓄積する受光部を有する画素が複数個集積された固体撮像装置であって、第1導電型の半導体基板と、上記半導体基板の主面に形成されている第2導電型の半導体層と、上記半導体層上にゲート絶縁膜を介して形成された画素選択用のゲート電極と、上記画素選択用のゲート電極の一方の側部に配置されている受光部において上記半導体層の表層に形成されている第1導電型の第1の半導体領域と、上記受光部の一部における上記半導体層の表層において、上記第1の半導体領域よりも深く形成されている第1導電型の第2の半導体領域と、

上記画素選択用のゲート電極の他方の側部における上記半導体層の表層に形成されており、上記第 1 の半導体領域よりも高濃度の第 1 導電型不純物を含有する第 1 導電型の第 3 の半導体領域とを有する。

【0 0 1 4】

上記の本発明の固体撮像装置は、好適には、上記受光部における上記半導体層において、光を受光して生成された信号電荷が蓄積され、上記受光部における上記半導体層において蓄積された信号電荷により、上記半導体基板、上記半導体層および上記第 2 の半導体領域を含む接合トランジスタの閾値が変調される。

【0 0 1 5】

上記の本発明の固体撮像装置は、好適には、上記半導体層上にゲート絶縁膜を介して形成されたりセット用のゲート電極と、上記リセット用のゲート電極の一方の側部における上記半導体層の表層に形成されている第 2 導電型の第 4 の半導体領域とをさらに有し、上記リセット用のゲート電極の他方の側部における上記半導体層の表層に上記第 1 の半導体領域が配置されており、上記半導体層、上記リセット用のゲート電極、および、上記第 4 の半導体領域を含む埋め込みチャンネル型のリセット用トランジスタが構成されて、上記リセット用トランジスタの動作により上記受光部において蓄積された上記信号電荷を上記受光部の外部へ排出する。

さらに好適には、一画素における上記画素選択用のゲート電極と一画素に隣接する画素における上記リセット用のゲート電極が接続されている。

【0 0 1 6】

上記の本発明の固体撮像装置は、好適には、上記受光部の外周であって、上記画素選択用のゲート電極および上記リセット用のゲート電極が形成されている部分以外の部分における上記半導体層の表層において、上記第 1 の半導体領域よりも高濃度の第 1 導電型不純物を含有する第 1 導電型の第 5 の半導体領域が形成されている。

【0 0 1 7】

上記の本発明の固体撮像装置は、好適には、上記第 5 の半導体領域の外周であって隣接する画素間における半導体層の上層に、ゲート絶縁膜を介して、素子分

離用のトランジスタのゲート電極となるフィールドプレートが形成されている。

【0018】

上記の本発明の第1の固体撮像装置は、第1の半導体領域の形成領域にフォトダイオードが構成されて受光部となり、この領域の半導体層中に光を受光して生成された信号電荷が蓄積される。

また、半導体層、画素選択用のゲート電極、第1の半導体領域と第2の半導体領域、および、第3の半導体領域などから、画素選択用トランジスタが構成される。

ここで、受光部における半導体層において蓄積された信号電荷により、半導体基板、半導体層および第2の半導体領域から構成される接合トランジスタの閾値が変調される構成であり、画素選択用トランジスタがONしたときに、信号電荷に応じて変調された電荷検出電流が流れる構成である。

【0019】

本発明の第2の固体撮像装置は、複数の受光素子が直線状に配置された複数の画素列を有し、隣接する画素列において受光素子の配置がおおよそ1/2ピッチずれている固体撮像装置であって、上記受光素子は、半導体基板の主面に形成された第1導電型の半導体層と、画素列の一方の端部側において上記半導体層上に絶縁膜を介して形成された読み出し用ゲート電極と、画素列の他方の端部側において上記半導体層上に絶縁膜を介して形成されたりセット用ゲート電極と、上記読み出し用ゲート電極と上記りセット用ゲート電極との間の領域において上記半導体層上に形成された第2導電型の第1の半導体領域と、上記第1の半導体領域内の上記りセット用ゲート電極よりも上記読み出し用ゲート電極に近い領域において上記半導体層上に形成された上記第1の半導体領域よりも不純物濃度の高い第2導電型の第2の半導体領域と、上記読み出し用ゲート電極を挟んで上記第1の半導体領域と対向する領域において上記半導体層上に形成された上記第1の半導体領域よりも不純物濃度の高い第2導電型の第3の半導体領域と、上記りセット用ゲート電極を挟んで上記第1の半導体領域と対向する領域において上記半導体層上に形成された上記半導体層よりも不純物濃度の高い第1導電型の第4の半導体領域とを有し、隣接する画素列において対向する受光素子の上記読み出し用

ゲート電極と上記リセット用ゲート電極とが電氣的に接続されている。

【 0 0 2 0 】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照して説明する。

【 0 0 2 1 】

第 1 実施形態

本実施形態にかかる固体撮像装置は CMOS イメージセンサであり、図 1 はその平面図である。

各画素 E に、光を受光して信号電荷を生成および蓄積する受光部 R が設けられており、P 型シリコン半導体基板（不図示）の主面に形成された N 型半導体層（不図示）の表層部分に P 型半導体領域（第 1 の半導体領域）が形成され、この領域がフォトダイオードとなって受光部 R を構成する。

【 0 0 2 2 】

フォトダイオードとなる P 型半導体領域内に、P 型半導体領域よりも深く形成されている P⁺ 型半導体領域（第 2 の半導体領域）がスリット状に細長く形成されており、P⁺ 型半導体領域と P 型半導体基板の間に縦型 PNP トランジスタ（接合トランジスタ J T₁）が構成されている。

【 0 0 2 3 】

また、フォトダイオードとなる P 型半導体領域に隣接して、N 型半導体層の上層にゲート絶縁膜を介して画素選択用のゲート電極 S G が形成されており、その側部における N 型半導体層の表層部分に P 型半導体領域および P⁺ 型半導体領域よりも高濃度の P 型不純物を含む P⁺⁺ 型半導体領域（第 3 の半導体領域）が形成されており、P 型半導体領域と P⁺ 型半導体領域、および、P⁺⁺ 型半導体領域がそれぞれソース・ドレイン領域である画素選択用トランジスタ T r₁ が構成されている。P⁺⁺ 型半導体領域にはコンタクト C T₁ が接続されている。

また、P⁺⁺ 型半導体領域（第 3 の半導体領域）と P 型半導体基板の間に縦型 PNP トランジスタ（接合トランジスタ J T_a）が構成されている。

【 0 0 2 4 】

さらに、フォトダイオードとなる P 型半導体領域に隣接して、N 型半導体層の

上層にゲート絶縁膜を介してリセット用のゲート電極 R G が形成されており、その側部における N 型半導体層の表層部分に N⁺ 型半導体領域（第 4 の半導体領域）が形成されており、N 型半導体層内にチャネルが形成される埋め込みチャネル型であり、かつデプレッション型のリセット用トランジスタ T_{r2} が構成されている。N⁺ 型半導体領域にはコンタクト C T₂ が接続されている。

【 0 0 2 5 】

また、P 型半導体領域（第 1 の半導体領域）の外周であって、画素選択用のゲート電極 S G およびリセット用のゲート電極 R G が形成されている部分以外の部分における半導体層の表層において、P 型半導体領域よりも高濃度の P 型不純物含有して素子分離用のポテンシャル障壁となる P⁺⁺型半導体領域（第 5 の半導体領域）が形成されており、これにより P⁺⁺型半導体領域（第 5 の半導体領域）と P 型半導体基板の間に縦型 P N P トランジスタ（接合トランジスタ J T_b , J T_c）が構成されている。

さらに、P⁺⁺型半導体領域（第 5 の半導体領域）の外周であって隣接する画素間における半導体層の上層に、ゲート絶縁膜を介して、素子分離用のトランジスタのゲート電極となるフィールドプレート F P が形成されている。

フィールドプレート F P をゲート電極、隣接する 2 画素の P⁺⁺型半導体領域（第 5 の半導体領域）をソース・ドレインとするトランジスタは、フィールドプレート F P の電圧的な浮遊状態下では O N しなない閾値に設定されている。

フィールドプレート F P と画素選択用およびリセット用の各ゲート電極（S G , R G）の間は、ゲート材料が多層化するのを避けるため、一部 N 型半導体領域により分離する構造となっている。

【 0 0 2 6 】

上記のような構成の画素 E がマトリクス状に並べられて C M O S イメージセンサが構成されている。

さらに、上記の画素選択用のゲート電極 S G は、同じ列に配置された画素と接続されており、さらに隣接する列の配置された画素のリセット用のゲート電極 R G とも接続されている。

即ち、第 n 番目のゲート電極 G_n をリセット用のゲート電極とする画素 R G に

においては、隣接する第 $n+1$ 番目のゲート電極 G_{n+1} が画素選択用のゲート電極 SG となっており、第 $n+1$ 番目のゲート電極 G_{n+1} をリセット用のゲート電極とする画素 RG においては、隣接する第 $n+2$ 番目のゲート電極 G_{n+2} が画素選択用のゲート電極 SG となっている。また、隣接する列間の画素の配置は、図 1 から明らかなように、おおよそ $1/2$ ピッチずれている。

【0027】

図 2 (A) は図 1 中の $A-A'$ における断面図である。

P 型シリコン半導体基板 10 の主面に、N 型半導体層 (12, 14) が形成されており、その表層部分に P 型半導体領域 (第 1 の半導体領域) 15 が形成され、この領域がフォトダイオード PD となって受光部を構成する。

【0028】

フォトダイオードとなる P 型半導体領域 15 内に、 P^+ 型半導体領域 (第 2 の半導体領域) 16 が形成されており、 P^+ 型半導体領域 16 と P 型半導体基板 10 の間に縦型 PNP トランジスタ (接合トランジスタ JT_1) が構成されている。

【0029】

また、P 型半導体領域 15 に隣接して、N 型半導体層 (12, 14) の上層にゲート絶縁膜 11 を介して画素選択用のゲート電極 13a (SG) が形成されており、その側部における N 型半導体層 (12, 14) の表層部分に P^{++} 型半導体領域 (第 3 の半導体領域) 17 が形成されており、PMOS トランジスタである画素選択用トランジスタ Tr_1 が構成されている。

この P^{++} 型半導体領域 17 と P 型半導体基板 10 の間に縦型 PNP トランジスタ (接合トランジスタ) が構成されている。

【0030】

また、P 型半導体領域 15 に隣接して、N 型半導体層 (12, 14) の上層にゲート絶縁膜 11 を介してリセット用のゲート電極 13b (RG) が形成されており、その側部における N 型半導体層 (12, 14) の表層部分に N^+ 型半導体領域 (第 4 の半導体領域) 18 が形成されており、埋め込みチャンネルを有する NMOS トランジスタであるリセット用トランジスタ Tr_2 が構成されている。

上記のN型半導体層(12, 14)は、画素選択用のゲート電極13a(SG)とリセット用のゲート電極13b(RG)の下部におけるN型半導体層12と、それ以外の部分のN型半導体層14とでN型不純物の濃度が異なっており、トランジスタの閾値やフォトダイオード特性の最適化のためにそれぞれ濃度が調整されている。

【0031】

上記のゲート電極(13a, 13b)およびゲート絶縁膜11の上層に、全面に酸化シリコンの層間絶縁膜19が形成されている。

層間絶縁膜19にはP⁺⁺型半導体領域17に到達するコンタクトCT₁が開口されており、コンタクトプラグ20が埋め込まれ、上層配線22に接続されている。

一方、層間絶縁膜19にはN⁺型半導体領域18に到達するコンタクトCT₂が開口されており、コンタクトプラグ21が埋め込まれ、上層配線23に接続されている。

【0032】

図2(B)は図2(A)の断面図に対応するポテンシャル図であり、横軸は断面方向、縦軸はN型半導体領域の最大ポテンシャル(+方向を下方とする)を示す。図2(A)に対応させて、上記の構成のCMOSセンサの動作について説明する。

【0033】

画素選択用トランジスタTr₁と、リセット用トランジスタTr₂は、それぞれは3値で駆動する。即ち、画素選択用トランジスタTr₁のゲート電極SGに印加される電圧φ_Xと、リセット用トランジスタTr₂のゲート電極RGに印加される電圧φ_{RST}は、高電圧(H)、中電圧(M)、低電圧(L)の3値を取り、各トランジスタのチャネル形成領域(CH₁, CH₂)にはH、M、Lで示すポテンシャルが生成される。

また、P⁺⁺型半導体領域17に接続する上層配線22およびN⁺型半導体領域18に接続する上層配線23には、それぞれV_{dd}に接続された定電流源およびV_{dd}が印加される。

【 0 0 3 4 】

電圧 ϕX と電圧 ϕRST が中電圧 M のとき、フォトダイオード領域 PD のポテンシャルは谷部となり、光を受光して生成された信号電荷が蓄積される。

最大に信号電荷が蓄積されたときの準位 LV は電圧 ϕRST が中電圧 M であるときのポテンシャルに相当し、それ以上に生成された信号電荷はリセット用トランジスタ Tr_2 のポテンシャル障壁を越えて排出される。

【 0 0 3 5 】

フォトダイオード領域内の $P+$ 型半導体領域 16 はポテンシャル障壁となっており、画素選択用トランジスタ Tr_1 のゲート電圧を低電圧 L とすると、図 2 (A) に示すように、 $P+$ 型半導体領域 16 の部分に相当する接合トランジスタ JT_1 を通って、上層配線 22 から P 型半導体基板 10 へとホール電流である電荷検出電流 I が流れる。

このとき、フォトダイオード領域 PD において蓄積された信号電荷により、接合トランジスタ JT_1 の閾値が変調され、画素選択用トランジスタ Tr_1 のゲート電圧を低電圧 L としてトランジスタを ON とすると、信号電荷に応じて変調された電圧が V_{out} 端子に現れることになる。

【 0 0 3 6 】

また、リセット用トランジスタ Tr_2 のゲート電圧を高電圧 H とすることにより、フォトダイオード領域 PD において蓄積された信号電荷を全て排出するリセット動作が行われる。

上記のフォトダイオード領域 PD において信号電荷が蓄積されたときの出力電圧と、リセット動作後の出力電圧の差から、信号電荷の読み出しがなされる。

【 0 0 3 7 】

このように、中間値の時に全トランジスタは OFF 状態となり、画素選択用トランジスタを $PMOS$ トランジスタ、リセット用トランジスタを $NMOS$ トランジスタとすることで、高電圧を印加するとリセット用トランジスタが ON となり、低電圧を印加すると画素選択用トランジスタが ON となる。これらの組み合わせで、画素の読み出しとリセットを行う。

【 0 0 3 8 】

図3は本実施形態に係るCMOSセンサの2画素分の等価回路図である。

1つの画素 E_1 は、フォトダイオード PD_1 、画素選択用トランジスタ Tr_1 、リセット用トランジスタ Tr_2 および接合トランジスタ JT_1 から構成され、第 n 番目のゲート電極 G_n がリセット用のゲート電極となり、一方、第 $n+1$ 番目のゲート電極 G_{n+1} が画素選択用のゲート電極 SG となる。

隣接画素 E_2 も同様の構成であり、フォトダイオード PD_2 、画素選択用トランジスタ Tr_3 、リセット用トランジスタ Tr_4 および接合トランジスタ JT_2 から構成され、上記の第 $n+1$ 番目のゲート電極 G_{n+1} がリセット用トランジスタ Tr_4 のゲート電極 RG となっている。

【0039】

図4は、本実施形態に係るCMOSセンサにおける信号電荷の読み出しおよびリセット動作を示すタイミングチャートである。

図3における第 n 番目のゲート電極 G_n の印加電圧 ϕ_n 、第 $n+1$ 番目のゲート電極 G_{n+1} の印加電圧 ϕ_{n+1} 、画素 E_1 の出力電圧 out_1 を時刻 T に対して示している。

まず、初期値として ϕ_n と ϕ_{n+1} をそれぞれ中電圧 M とする。このとき、受光部のフォトダイオードでは光を受光して信号電荷が生成される。

時刻 T_1 において、 ϕ_{n+1} を低電圧 L とし、画素選択用トランジスタを ON とすることで、蓄積された信号電荷により変調された出力電圧 out_1 が得られる。

次に、時刻 T_2 において ϕ_n を高電圧 H とし、リセット用トランジスタを ON とする。このとき、蓄積された信号電荷は全て排出される。

時刻 T_1 から時刻 T_2 までの時間 ΔT_1 の時間だけ、蓄積された信号電荷により変調された出力電圧 out_1 が得られる。

【0040】

次に、時刻 T_3 において ϕ_n を中電圧 M とし、リセット用トランジスタを OFF とする。このとき、信号電荷が全て排出された状態での出力電圧 out_1 が得られる。

時刻 T_4 において、 ϕ_{n+1} を中電圧 M とし、画素選択用トランジスタを OFF

Fとする。

時刻 T_3 から時刻 T_4 までの時間 ΔT_2 の時間だけ、信号電荷が全て排出された状態での出力電圧 o_{ut1} が得られる。

上記のように得られた出力電圧 o_{ut1} について、時間 ΔT_1 のときの出力と時間 ΔT_2 のときの出力との差 V_{out} を取ることで、信号電荷に応じて変調された電圧を得ることができる。

【0041】

上記の本実施形態のCMOSセンサは、画素選択用トランジスタがON状態の時に画素選択用トランジスタのソース・ドレイン領域のコンタクトから信号が出力される。

P型の基板と同じP型の表面中性領域に挟まれた電圧的な浮遊状態下にあるN型半導体領域に蓄積された信号電荷は、図2(A)中の縦形PNPトランジスタ(接合トランジスタ JT_1)の閾値を変調し、画素選択用トランジスタ Tr_1 がONになると電流が流れて、受光部のフォトダイオードを構成するN型半導体領域に蓄積された信号電荷量に応じた電圧が出力される。

ここで、画素選択用トランジスタのソース・ドレイン領域をP型とすることで、受光部内に金属配線を使用することなく、表面中性領域の電位読み出しが可能となる。この構造により、受光部内のコンタクトが不要になり、電流を流す際の直列抵抗となるコンタクトも減らすことができる。

また、電位出力の半導体領域がP型であるため、 V_{dd} を供給するN型の半導体領域とは空乏層で分離され、LOCOS素子分離絶縁膜などによる素子分離は不要となるという長所を持つ。

【0042】

また、上記のCMOSセンサは、電圧的な浮遊状態下にあるN型半導体領域に蓄積された信号電荷を受光部内にとどめるための電位障壁と、信号電荷を外部に排出するリセット動作をするための独立可変な電位障壁が必要になる。これを実現するために、閾値の異なる2種類の縦型PNPトランジスタ(接合トランジスタ JT_1)と縦型PNPトランジスタ(接合トランジスタ JT_b , JT_c)を固定の電位障壁とし、埋め込みチャネルを有するNチャネル型MOSトランジスタ

である、リセット用トランジスタ T_{r2} を独立可変の電位障壁とする。

このうち、縦型 PNP トランジスタ（接合トランジスタ JT_1 ）は、電荷検出と蓄積電荷の電位障壁の二役を担っている。この構造は N 型半導体領域の上層に P 型の浮遊中性領域を作り込む構造となり、従来型の縦形 PNP 構造と同様のソース電位の出力が可能となる。

上記のような電位障壁の組み合わせにより、1 つのゲート電極を異なる画素のリセット用トランジスタのゲート電極と画素選択用トランジスタのゲート電極の双方に使用することが可能となる。即ち、画素選択用トランジスタ T_{r1} のゲート電極は図面上右側に配置されている画素のリセット用トランジスタのゲート電極と接続されており、右側に配置されている画素のリセットを行う場合は縦型 PNP トランジスタ（接合トランジスタ JT_1 ）が電位障壁となり、同時にリセットされるのを防ぐことができる。

さらに、リセット用トランジスタのゲート電極の印加電圧にリセットパルスを入れない場合は、3 種類の電位障壁のうちで最も電位障壁が低くなるように設計することでブルーミング抑制のためのバリアとしても機能する。

【0043】

また、上記の CMOS センサは、画素選択用トランジスタとリセット用トランジスタの部分以外は、縦型 PNP トランジスタ（接合トランジスタ）で電位障壁を形成しており、P 型の表面中性領域を何らかの方法で電氣的に分離しないと画素毎に異なるソース電位がかけられず、画素選択ができない。

そこで、上下の画素間は MOS 構造を利用したフィールドプレート FP を採用し、画素分離に必要な面積を抑えた構造となっている。

また、フィールドプレート FP と各ゲート間はゲート材料を多層化するのを避けるため、一部、N 型の中性領域で分離する構造としている。

ここで PN 接合部は空乏層がシリコン表面に達するが、界面準位で発生した信号電荷は縦型 PNP トランジスタ（接合トランジスタ JT_1 , JT_b , JT_c ）による電位障壁があるため受光部には流入せず、N 型の中性領域に捨てられる。また、フィールドプレート FP 下の界面で発生した信号電荷も、縦型 PNP トランジスタ（接合トランジスタ JT_b , JT_c ）による電位障壁があるため受光部

には流入せず、暗電流として観測されない。

【0044】

また、上記のCMOSセンサは、図1に示す画素選択用トランジスタ Tr_1 のゲート電極は図面上右側に配置されている画素のリセット用トランジスタのゲート電極と接続されているが、右隣に配置されている画素をリセットする場合は、縦型PNPトランジスタ（接合トランジスタ JT_1 ）が電位障壁となり、同時にリセットされるのを防いでいる構造となっており、このように隣接する画素において画素選択用トランジスタ Tr_1 のゲート電極とリセット用トランジスタのゲート電極を共用することが可能となったものである。

【0045】

次に、本実施形態に係るCMOSセンサの製造方法について説明する。

まず、図5（A）に示すように、P型シリコン半導体基板10の主面に、例えば熱酸化法によりゲート酸化膜11を形成する。

次に、センサ領域を開口する保護膜（不図示）などを形成した後、図5（B）に示すように、例えばN型の導電性不純物DP1として、リンを150keVの注入エネルギーおよび $8 \times 10^{11} / \text{cm}^2$ のドーズ量でイオン注入し、トランジスタの閾値を調整するように、P型シリコン半導体基板10の主面にN型半導体層12を形成する。

【0046】

次に、図5（C）に示すように、例えばCVD（Chemical Vapor Deposition）法によりポリシリコンを堆積させ、フォトリソグラフィ工程によりゲート電極パターンのレジスト膜（不図示）を形成し、これをマスクとした反応性イオンエッチングなどのエッチング処理によりポリシリコンをパターン加工し、画素選択用トランジスタのゲート電極13aと、リセット用トランジスタのゲート電極13bを形成する。

【0047】

次に、センサ領域を開口する保護膜（不図示）などを形成した後、図6（A）に示すように、例えばN型の導電性不純物DP2として、リンを220keVの注入エネルギーおよび $2.5 \times 10^{12} / \text{cm}^2$ のドーズ量でイオン注入し、ゲ-

ト電極 (13a, 13b) の下部を除く N 型半導体層 12 において、フォトダイオード用に N 型不純物濃度を調整した N 型半導体層 14 を形成する。

【0048】

次に、図 6 (B) に示すように、フォトダイオード領域および画素選択用トランジスタ領域を開口するレジスト膜 PR1 をフォトリソグラフィ工程により形成し、例えば P 型の導電性不純物 DP3 として、ホウ素を 20 keV の注入エネルギーおよび $6.5 \times 10^{12} / \text{cm}^2$ のドーズ量でイオン注入し、N 型半導体層 14 の表層部分に P 型半導体領域 (第 1 の半導体領域) 15 を形成する。

【0049】

次に、図 6 (C) に示すように、フォトダイオード領域の一部をスリット状に開口するレジスト膜 PR2 をフォトリソグラフィ工程により形成し、例えば P 型の導電性不純物 DP4 として、ホウ素を 140 keV の注入エネルギーおよび $1.8 \times 10^{12} / \text{cm}^2$ のドーズ量でイオン注入し、フォトダイオードとなる P 型半導体領域 15 内における N 型半導体層 14 の表層部分に P⁺ 型半導体領域 (第 2 の半導体領域) 16 を形成する。

これにより、P⁺ 型半導体領域 16 と P 型半導体基板 10 の間に縦型 PNP トランジスタ (接合トランジスタ JT₁) が構成される。

【0050】

次に、図 7 (A) に示すように、画素選択用トランジスタの一方のソース・ドレイン領域を開口するレジスト膜 PR3 をフォトリソグラフィ工程により形成し、例えば P 型の導電性不純物 DP5 として、ホウ素を 30 keV の注入エネルギーおよび $1.2 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入し、N 型半導体層 14 の表層部分に、画素選択用トランジスタのソース・ドレイン領域となる P⁺⁺ 型半導体領域 (第 3 の半導体領域) 17 を形成する。

これにより、P⁺⁺ 型半導体領域 17 と、P 型半導体領域 15 および P⁺ 型半導体領域 16 をソース・ドレイン領域とする画素選択用の PMOS トランジスタ Tr₁ が構成される。さらに、P⁺⁺ 型半導体領域 17 と P 型半導体基板 10 の間に縦型 PNP トランジスタ (接合トランジスタ JT_a) が構成される。

【0051】

次に、図7（B）に示すように、リセット用トランジスタの一方のソース・ドレイン領域を開口するレジスト膜PR4をフォトリソグラフィ工程により形成し、例えばN型の導電性不純物DP6をイオン注入し、N型半導体層14の表層部分にN⁺型半導体領域（第4の半導体領域）18を形成する。

これにより、N⁺型半導体領域18およびN型半導体層14をソース・ドレイン領域とする埋め込みチャネル型のリセット用のNMOSトランジスタTr₂が構成される。

【0052】

次に、図7（C）に示すように、例えばCVD法により全面に酸化シリコンを堆積させ、層間絶縁膜19を形成する。

次に、図8（A）に示すように、P⁺⁺型半導体領域17およびN⁺型半導体領域18に達するコンタクトホール（CT1，CT2）をそれぞれ開口し、図8（B）に示すように導電性材料で埋め込んで、P⁺⁺型半導体領域17に接続するコンタクトプラグ20を形成し、一方、N⁺型半導体領域18に接続するコンタクトプラグ21を形成する。

次に、図8（C）に示すように、コンタクトプラグ20に接続する上層配線22と、コンタクトプラグ21に接続する上層配線23をそれぞれ形成し、図2（A）に示す構成のCMOSセンサとすることができる。

【0053】

上記のように、本実施形態に係るCMOSセンサの製造方法において、図7（B）に示すN⁺型半導体領域（第4の半導体領域）18の形成工程以降は、CMOSプロセスを適用して行うことができる。

即ち、通常のCMOSアナログプロセスに5マスクを追加することで、本実施形態のCMOSセンサに好適な半導体領域（拡散層）を作り込むことが可能である。追加工程数からも明らかなように、画素に使用するトランジスタの全てはアナログCMOSの流用ではなく、画質重視の専用トランジスタとなる。

【0054】

本実施形態に係るCMOSセンサにおいて、電荷検出のための電流を深さ方向に流す新たな電荷検出方法は、リセット動作に伴うkTCノイズの発生が無く、

黒スミアの問題も無い。また、電荷検出電流を大きく取れるのでジョンソンノイズも低減できる。

この新たな電荷検出部にPMOSトランジスタを採用することにより、受光部内にコンタクトがあることによる開口率向上の困難さと、シリサイドプロセスを採用する場合における暗電流や傷などの問題やシリサイド下部における不純物の濃度調整が難しいという問題を解決可能である。同じデザインルールでも高い開口率を実現でき、高感度、高解像度のCMOSセンサの実現が可能になる。

【0055】

（実施例1）

上記の製造方法により製造したCMOSセンサについて、信号電荷の読み出しおよびリセット動作を行った。

動作は、図4に示すタイミングチャートに従って行い、明時と暗時においてそれぞれ行った。

結果を図9に示す。図9（A）および（B）は、それぞれ明時と暗時における出力電圧（V）を時間（T）に対してプロットした図である。

図9（A）に示す明時において、時間 ΔT_1 において、蓄積された信号電荷により変調された出力電圧（ V_1 ）が、時間 ΔT_2 において、蓄積された信号電荷が完全に排出されたときの出力電圧（ V_2 ）が、また、リセットによる信号電荷の排出中において、出力電圧（ V_0 ）が、それぞれ得られた。この出力電圧の差（ $V_1 - V_2$ ）から、明時において信号電荷に応じて変調された電圧を得ることができた。

また、図9（B）に示す暗時において、時間 ΔT_1 における蓄積された信号電荷により変調された出力電圧（ V_1 ）と、時間 ΔT_2 における蓄積された信号電荷が完全に排出されたときの出力電圧（ V_2 ）とが等しい値となって得られた。即ち、暗時においては蓄積電荷が実質的にゼロであることが示された。

【0056】

（実施例2）

試料として上記の製造方法により製造したCMOSセンサを2個準備し、それぞれについてリセット前後における出力電圧の差（ $V_{out} = V_1 - V_2$ ）の光量

依存性を調べた。

結果を図 10 (A) および (B) に示す。どちらの CMOS センサ試料においても、20～30ルクスの明るさまで、出力電圧の差はほぼ線型に変化し、再現性もあることが確認された。

【0057】

第2実施形態

図 11 は本実施形態に係る CMOS センサの断面図である。

実質的に第 1 実施形態に係る CMOS センサと同様の構成であるが、出力用のソース・ドレイン領域のコンタクト側を V_{dd} ではなく接地 (GND) していることが異なっている。

即ち、PMOS トランジスタを駆動するために必要な基板電位 V_{sub} を利用して、P 型シリコン半導体基板 10 から縦型 PNP トランジスタ (接合トランジスタ JT_1) を通して、画素選択用トランジスタ (PMOS トランジスタ) Tr_1 へと、第 1 実施形態とは逆に方向に電荷検出電流 I を流すことになる。

【0058】

本実施形態に係る CMOS センサは、まず、PMOS トランジスタである画素選択用トランジスタのソース・ドレイン領域に基板電位 V_{sub} より低い電圧しかかからないので、 V_{out} の DC レベルが高くなり過ぎて $V_{out} - V_{dd}$ 間に順方向電流が流れる危険性が全くないという利点を有する。このことは、縦型 PNP トランジスタ (接合トランジスタ JT_1) に、より大きな電流を流すことが可能であることを意味している。

さらに、画素選択用トランジスタの読み出しパルスの電圧を 0 V から少し上げると、電流量が十分にあれば飽和領域で動作し、短チャネル効果を利用して通常のゲインに対して十数倍のゲインを稼ぐことが可能であるという最大の利点を有する。

以下に、上述の通常のゲインに対して十数倍のゲインを稼ぐことが可能であることの原理を説明する。

【0059】

図 12 は、第 2 実施形態に係る CMOS センサにおいて画素選択用トランジス

タとして使用しているPMOSトランジスタの $I-V$ 特性を測定したものである。

通常の画素情報の読み出し条件はPMOSのゲートバイアスが0 Vであり、出力のDCレベルが1.5 V付近なので、PMOSトランジスタは線形領域で動作している。この時は、PMOSトランジスタは単にスイッチとして働き、 dV_d / dV_s はほぼ1である。

【0060】

ここで、読み出し時のゲートバイアスを0 Vから300 mVに変化させると、出力DCレベルが1.5 Vの場合、飽和領域に移行する。この領域では、受光部に蓄積される信号電荷が減少してPMOSトランジスタへの入力電圧 V_s が下がった場合、ゲートソース間の電圧 V_{gs} が下がるため、一定電流を流している条件下では、ドレイン電圧 V_d (V_{out}) はより大きく下がることになる。この効果は、画素選択用トランジスタのドレイン側を出力端子とした時に発生するものであり、本実施形態において図11に示す方向に電荷検出電流 I を流す場合においてのみ得られる特性である。

【0061】

図12のように、短チャネルのFETは飽和領域においてもドレイン電圧(V_{out})に対してソース・ドレイン間電流(I_{out})が一定とはならず、飽和領域において dV_d / dV_s は1から無限大の範囲となり、電圧利得も1から無限大の範囲でトランジスタ長により制御可能である。

図13は、第2実施形態に係るCMOSセンサにおいてドレイン出力電位をリセットゲートバイアスに対してプロットした図であり、縦軸はPMOSトランジスタのドレイン出力電位(V_{out})であり、横軸はリセットゲートバイアス(リセット用トランジスタのゲート電極印加電圧)を示す。Aは線型領域動作時(ゲート電圧0.0 V)の特性を示し、Bは飽和領域動作時(ゲート電圧0.3 V)の特性を示す。飽和領域とすることで傾きが大きくなり、電圧利得が向上していることを示す。

【0062】

この飽和領域への移行は、画素選択トランジスタのゲート電極印加電圧を低電

圧L側の電位とすることや、基板電位 V_{sub} や電荷検出電流量の制御により実現できるため、デバイスの要求により、動作時に必要に応じて高ゲインモードに移行できる。

このモードは画素選択ゲートのバイアス値とゲート長によってゲインが左右されるため用途が限られるが、例えば、デジタルスチルカメラのオートフォーカス動作時や、プレビューモードなどへの応用が考えられる。

【0063】

第1実施形態と同様に、本実施形態に係るCMOSセンサにおいて、電荷検出のための電流を深さ方向に流す新たな電荷検出方法は、リセット動作に伴う kTC ノイズの発生が無く、黒スミアの問題も無い。また、電荷検出電流を大きく取れるのでジョンソンノイズも低減でき、電荷検出部にPMOSトランジスタを採用することにより、受光部内にコンタクトがあることによる開口率向上の困難さと、シリサイドプロセスを採用する場合における暗電流や傷などの問題やシリサイド下部における不純物の濃度調整が難しいという問題を解決可能である。同じデザインルールでも高い開口率を実現でき、高感度、高解像度のCMOSセンサの実現が可能になる。

さらに、このPMOSトランジスタは電圧利得向上の手段としても活用することが可能であり、超高感度の kTC ノイズをゼロにすることが可能なCMOSセンサを実現することが可能となる。

【0064】

従来方法に係る4トランジスタ構成のCMOSセンサは、1画素中のアンプを構成するトランジスタの数が4個（電流増幅のみ）であり、 $5\mu\text{m}$ セルにおいて開口率は20%程度であり、暗電流ノイズ、 kTC ノイズ（リセットノイズ）、熱雑音、信号のショットノイズ、固定パターンノイズなどのノイズがある。

また、同じく従来方法に係るMOSゲート閾値変調型のCMOSセンサは、1画素中のアンプを構成するトランジスタの数が1個（電流増幅のみ）であり、 $5\mu\text{m}$ セルにおいて開口率は30%程度であり、熱雑音、信号のショットノイズ、固定パターンノイズなどのノイズがある。

また、同じく従来方法に係る縦型PNPトランジスタ型のCMOSセンサは、

1 画素中のアンプを構成するトランジスタの数が 2 個（電流増幅のみ）であり、 $5\mu\text{m}$ セルにおいて開口率は 30 % 程度であり、暗電流ノイズ、信号のショットノイズ、固定パターンノイズなどのノイズがある。

これに対して、本発明の 2 つの実施形態に係る CMOS センサは、1 画素中のアンプを構成するトランジスタの数が 2 個（電流電圧増幅）であり、 $5\mu\text{m}$ セルにおいて開口率を 60 % 程度にまで向上させることができ、固定パターンノイズのみにノイズを抑制することができる。

【0065】

上述のように、本発明の 2 つの実施形態の CMOS センサは、受光部内に従来必要であったコンタクトを無くすだけでなく、非選択画素のリーク電流の低減を実現でき、更に素子分離領域を大幅に減らすことができる。

また、電荷検出電流を流す縦型 PNP トランジスタ（接合トランジスタ）を蓄積電荷に対する電位障壁としても使用し、画素選択ゲートとリセットゲートの共用化を可能とした結果、高い開口率を実現可能である。

さらに、画素選択用トランジスタに流れる電荷検出電流の流れる方向によっては、画素内アンプとして使用することが可能となる。

【0066】

本発明は、上記の実施形態に限定されない。

例えば、実施形態においては CMOS センサに対して説明しているが、CMOS センサ以外の固体撮像装置に適用することも可能である。

その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0067】

【発明の効果】

本発明の固体撮像装置によれば、 kTC ノイズをゼロにすることが可能な構造において、黒スミアや暗電流を抑制し、開口率を向上して受光部面積の不足を解消することができる。

【図面の簡単な説明】

【図 1】

図 1 は第 1 実施形態に係る CMOS センサの平面図である。

【図 2】

図 2 (A) は図 1 中の A - A' における断面図であり、図 2 (B) は図 2 (A) の断面図に対応するポテンシャル図である。

【図 3】

図 3 は第 1 実施形態に係る CMOS センサの 2 画素分の等価回路図である。

【図 4】

図 4 は第 1 実施形態に係る CMOS センサにおける信号電荷の読み出しおよびリセット動作を示すタイミングチャートである。

【図 5】

図 5 (A) ~ (C) は第 1 実施形態に係る CMOS センサの製造方法の製造工程を示す断面図である。

【図 6】

図 6 (A) ~ (C) は図 5 の続きの工程を示す断面図である。

【図 7】

図 7 (A) ~ (C) は図 6 の続きの工程を示す断面図である。

【図 8】

図 8 (A) ~ (C) は図 7 の続きの工程を示す断面図である。

【図 9】

図 9 (A) および (B) は実施例 1 に係る CMOS センサにおいて明時と暗時における出力電圧 (V) を時間 (T) に対してプロットした図である。

【図 10】

図 10 (A) および (B) は実施例 2 に係る CMOS センサリセット前後における出力電圧の差の光量依存性を示す図である。

【図 11】

図 11 は第 2 実施形態に係る CMOS センサの断面図である。

【図 12】

図 12 は、第 2 実施形態に係る CMOS センサにおいて画素選択用トランジスタとして使用している PMOS トランジスタの I - V 特性を測定したものである。

【図 13】

図 13 は、第 2 実施形態に係る CMOS センサにおいてドレイン出力電位をリセットゲートバイアスに対してプロットした図である。

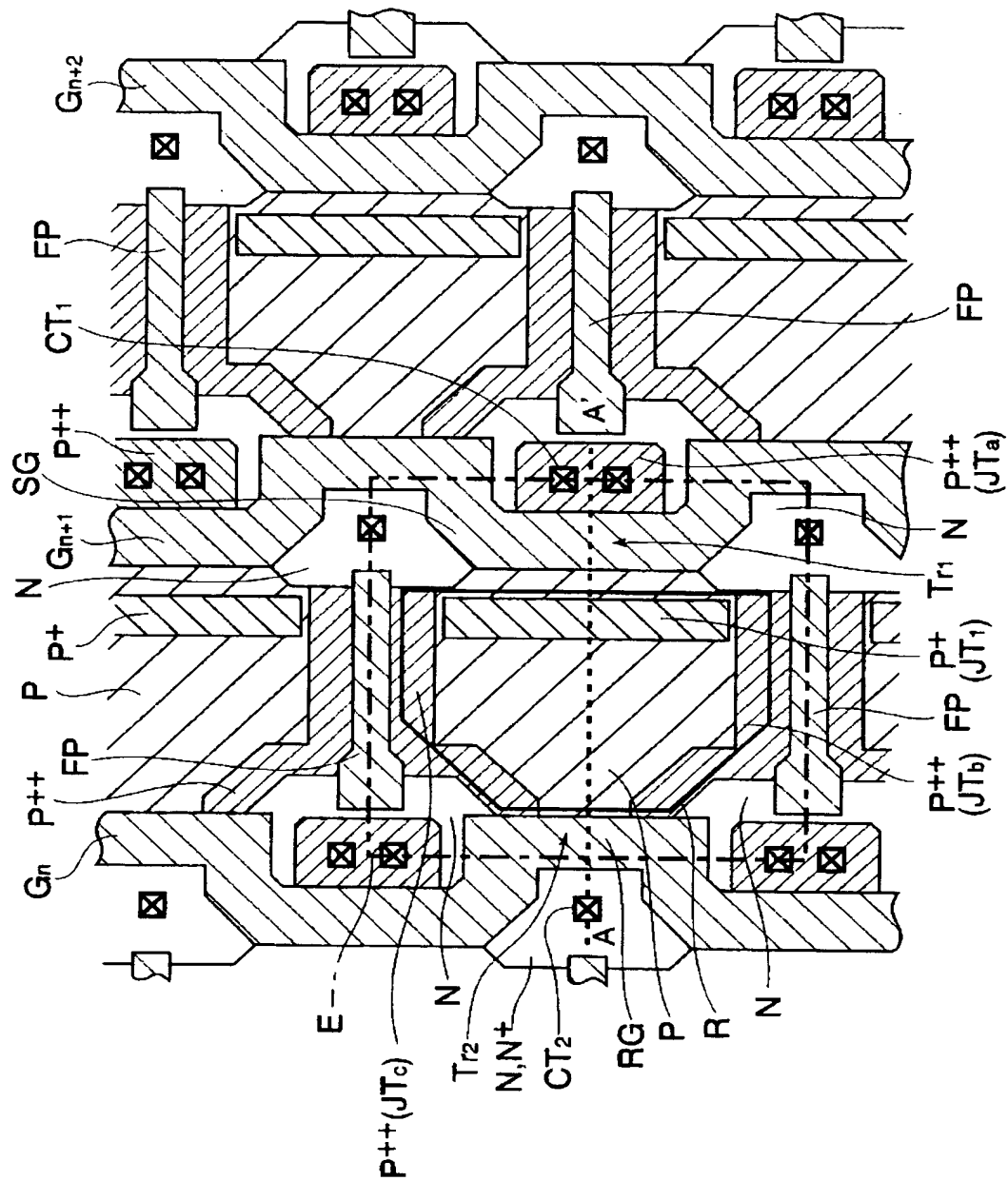
【符号の説明】

10…p 型半導体基板、11…ゲート絶縁膜、12…N 型半導体層、13a…画素選択用トランジスタのゲート電極、13b…リセット用トランジスタのゲート電極、14…N 型半導体層、15…P 型半導体領域（第 1 の半導体領域）、16…P⁺ 型半導体領域（第 2 の半導体領域）、17…P⁺⁺ 型半導体領域（第 3 の半導体領域）、18…N⁺ 型半導体領域（第 4 の半導体領域）、19…層間絶縁膜、20, 21…コンタクトプラグ、22, 23 上層配線、N…N 型半導体層、P…P 型半導体領域、P⁺…P⁺ 型半導体領域、P⁺⁺…P⁺⁺ 型半導体領域、N⁺…N⁺ 型半導体領域、SG…画素選択用トランジスタのゲート電極、RG…リセット用トランジスタのゲート電極、G_n, G_{n+1}, G_{n+2}…ゲート電極、FP…フィールドプレート、E, E₁, E₂…画素、R…受光部、Tr₁, Tr₃…画素選択用トランジスタ、Tr₂, Tr₄…リセット用トランジスタ、JT₁, JT₂, JT_a, JT_b, JT_c…縦型 PNP トランジスタ（接合トランジスタ）、CT₁, CT₂…コンタクト、PD, PD₁, PD₂…フォトダイオード、CH₁, CH₂…チャネル形成領域、L…低電圧、M…中電圧、H…高電圧、I…電荷検出電流、DP₁, DP₂, DP₆…N 型の導電性不純物、DP₃～DP₅…P 型の導電性不純物、PR₁～PR₄…レジスト膜

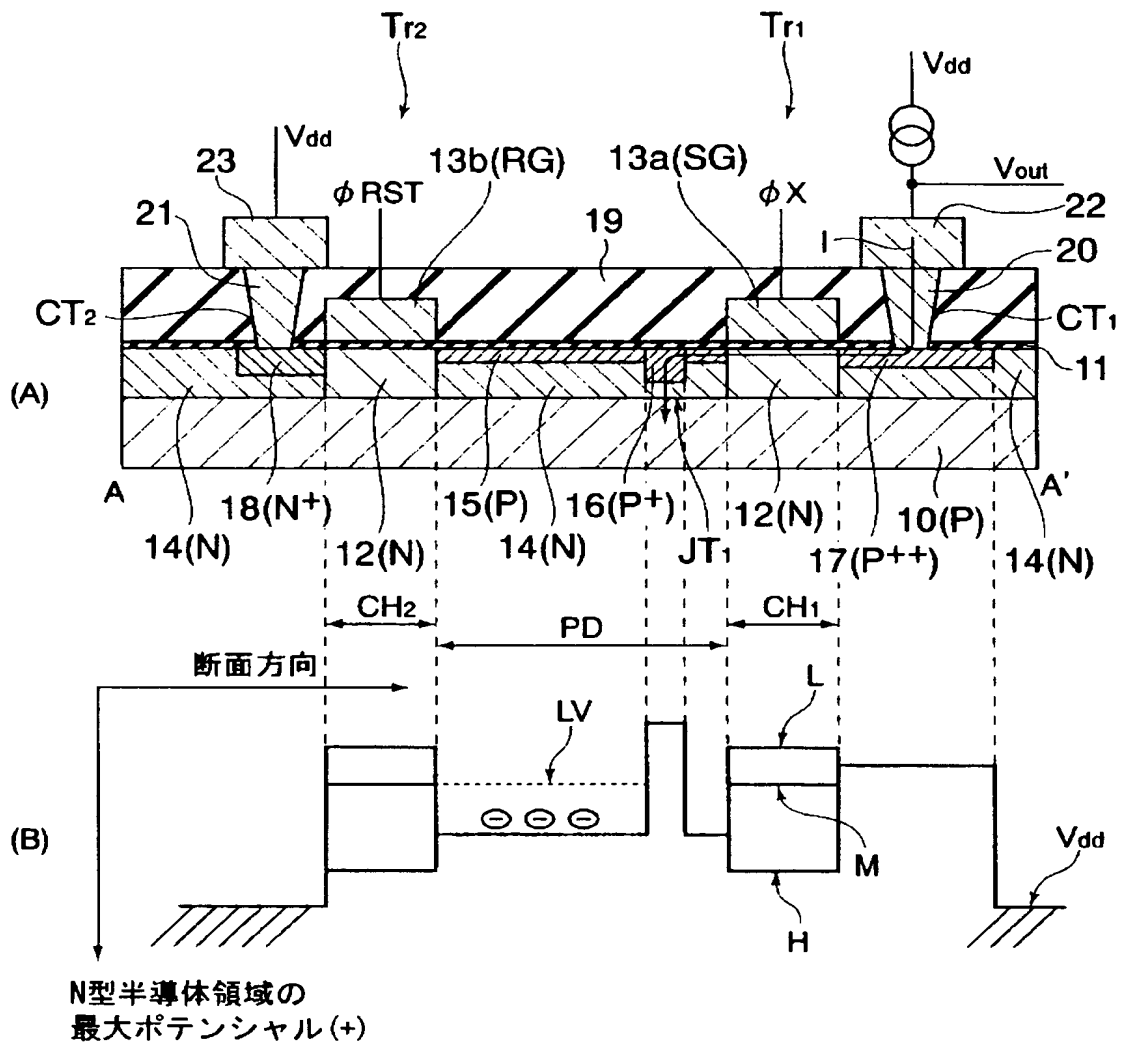
【書類名】

図面

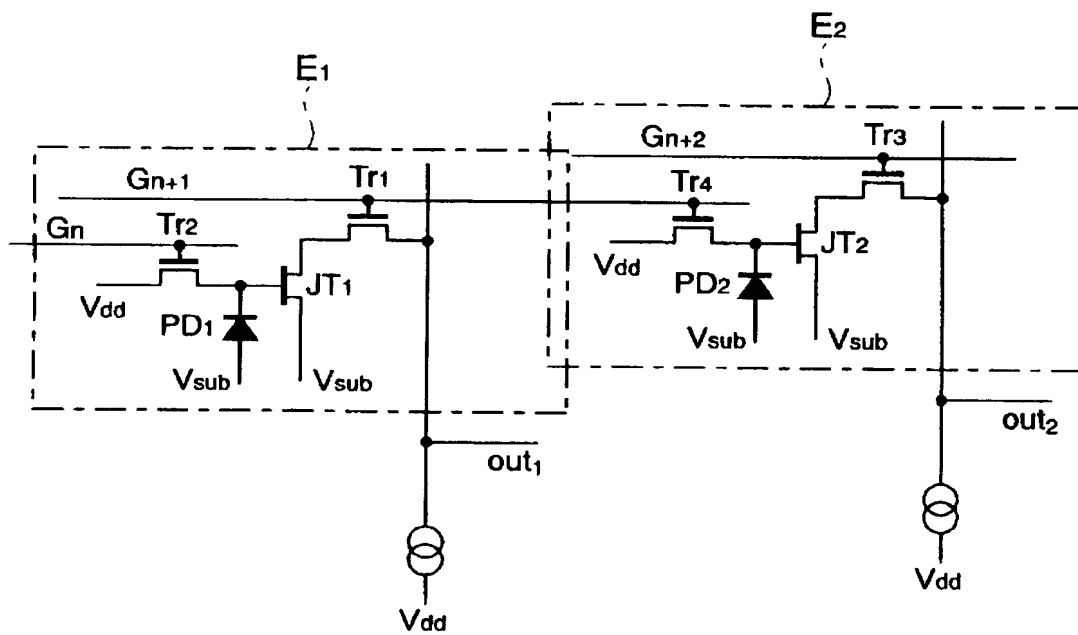
【図 1】



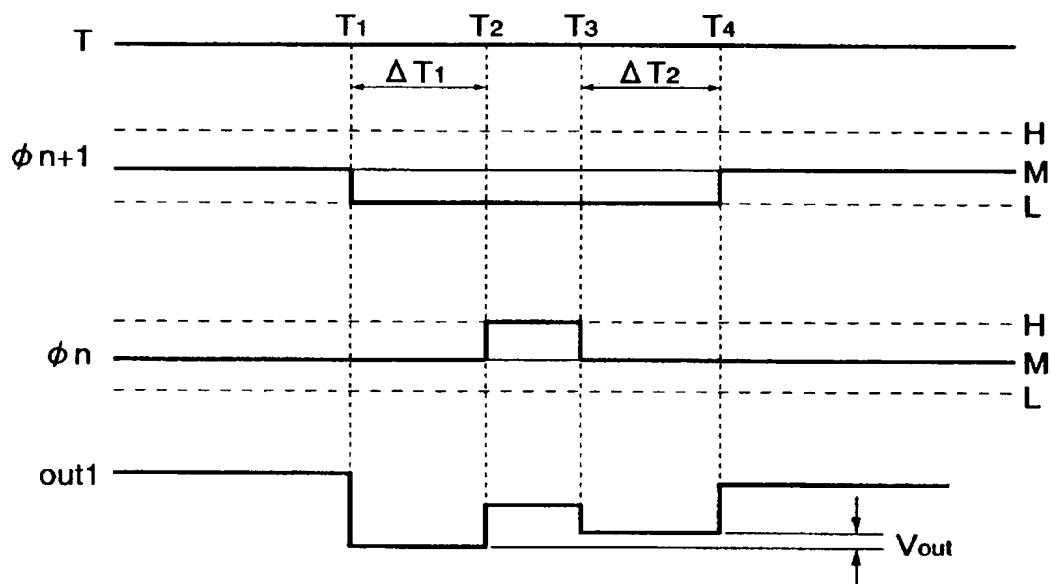
【図 2】



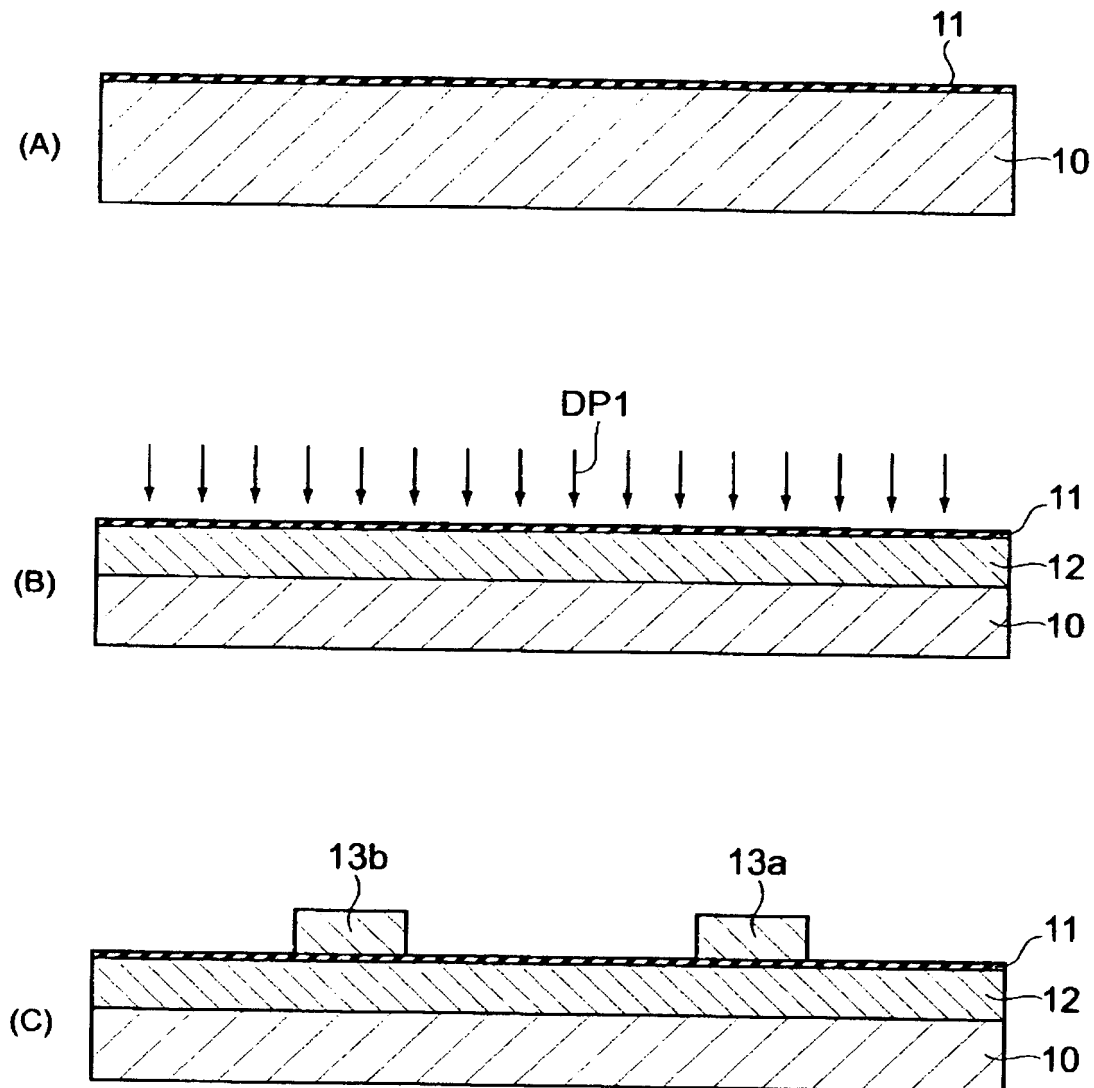
【図 3】



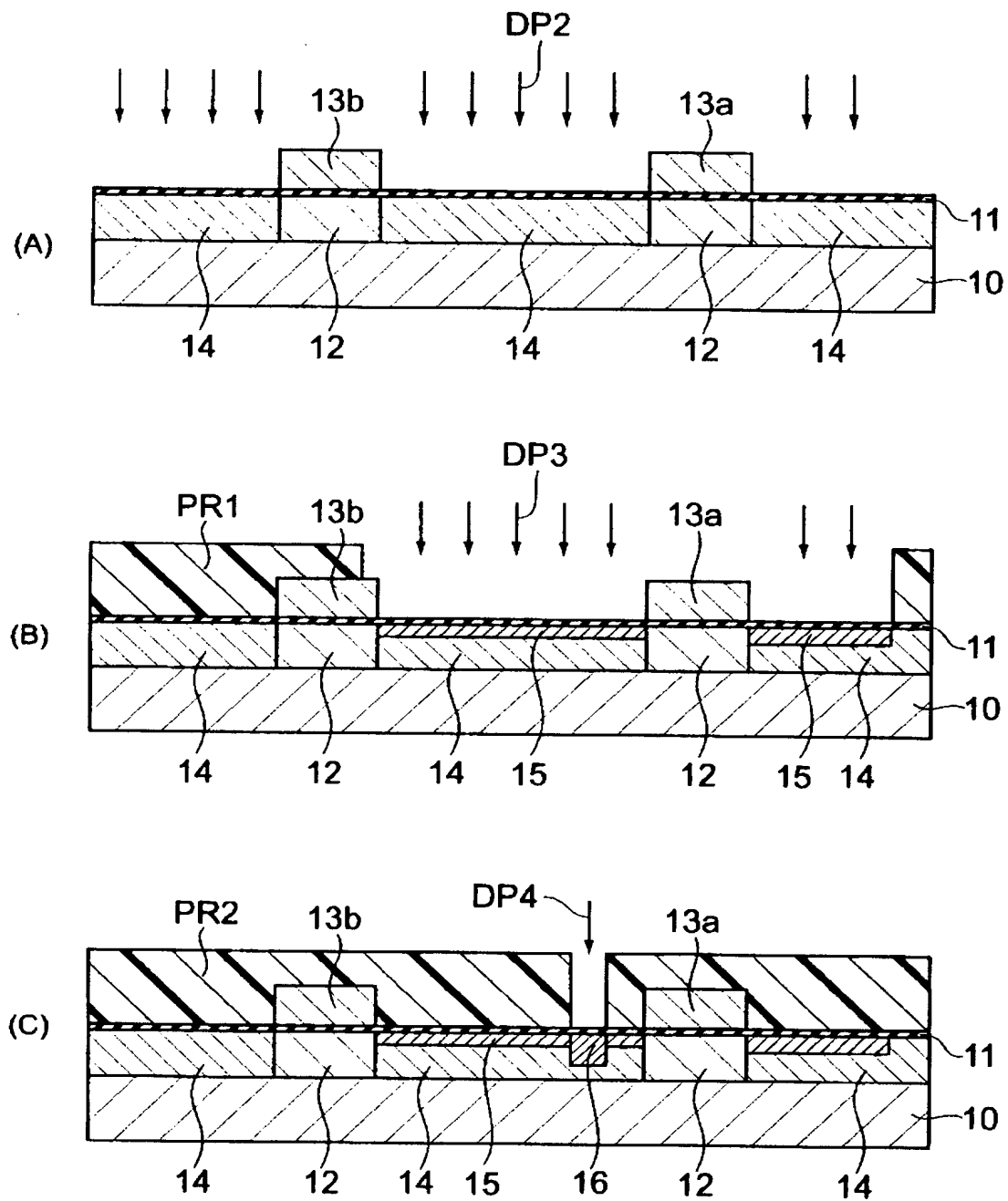
【図 4】



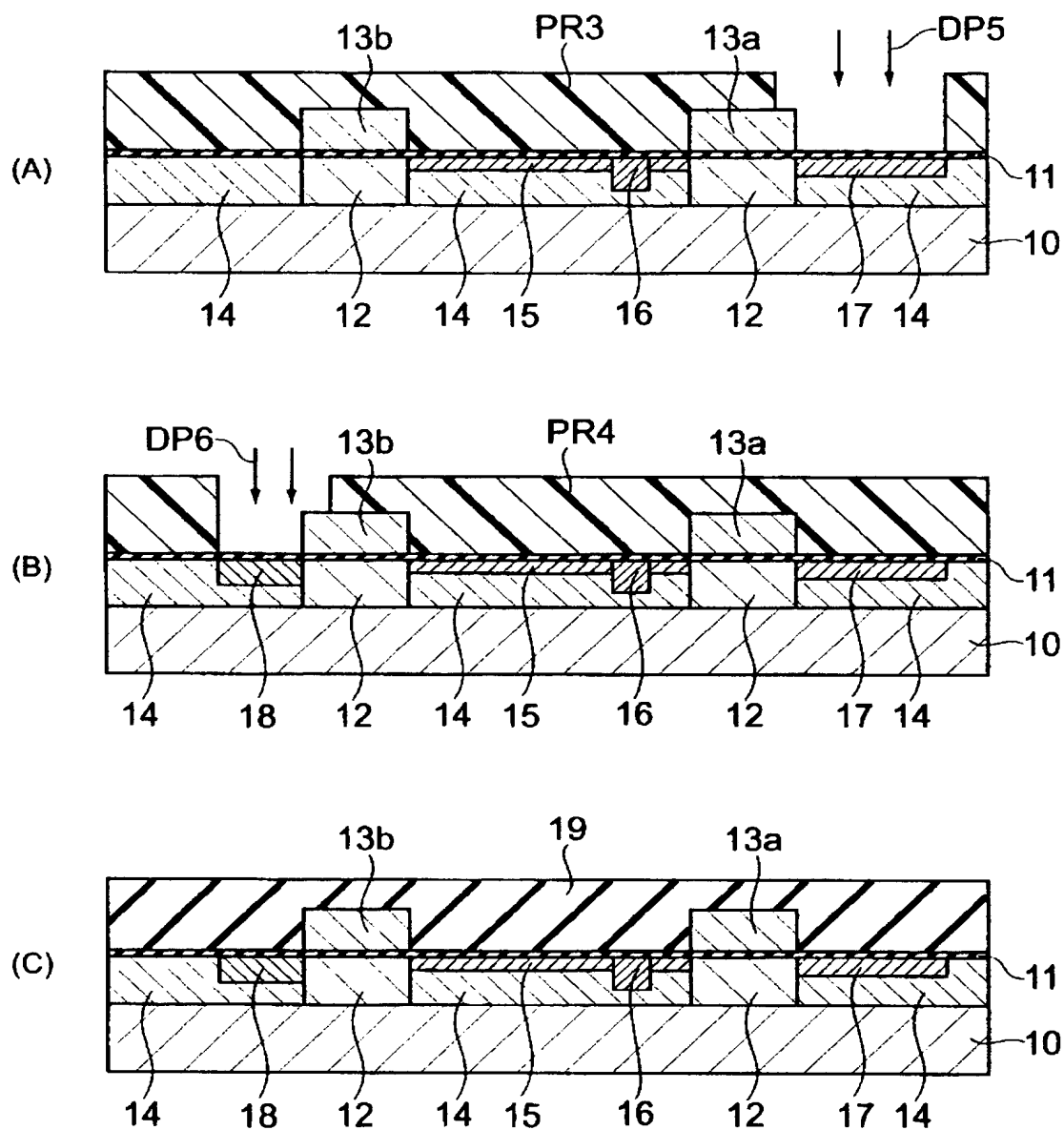
【図 5】



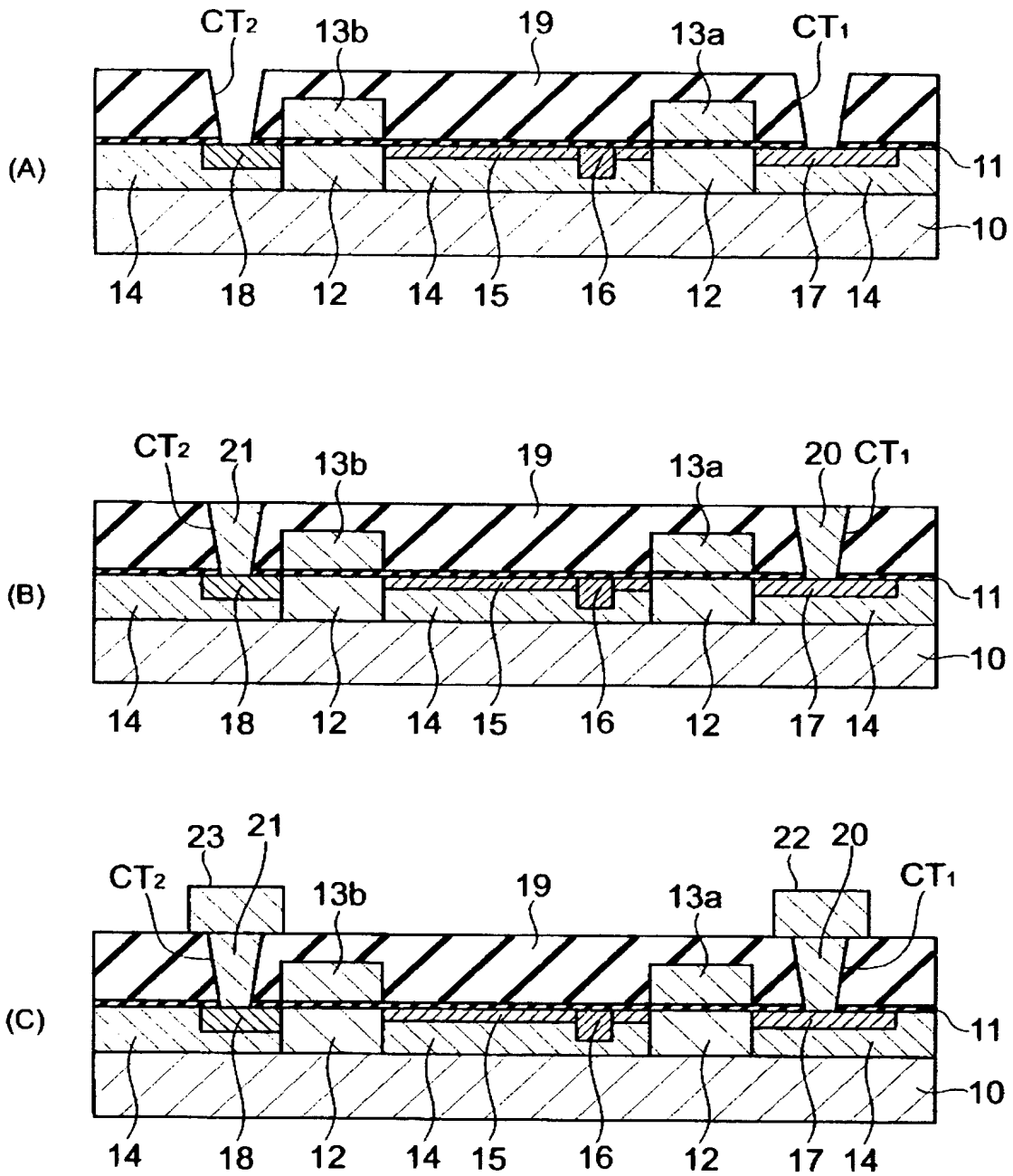
【図 6】



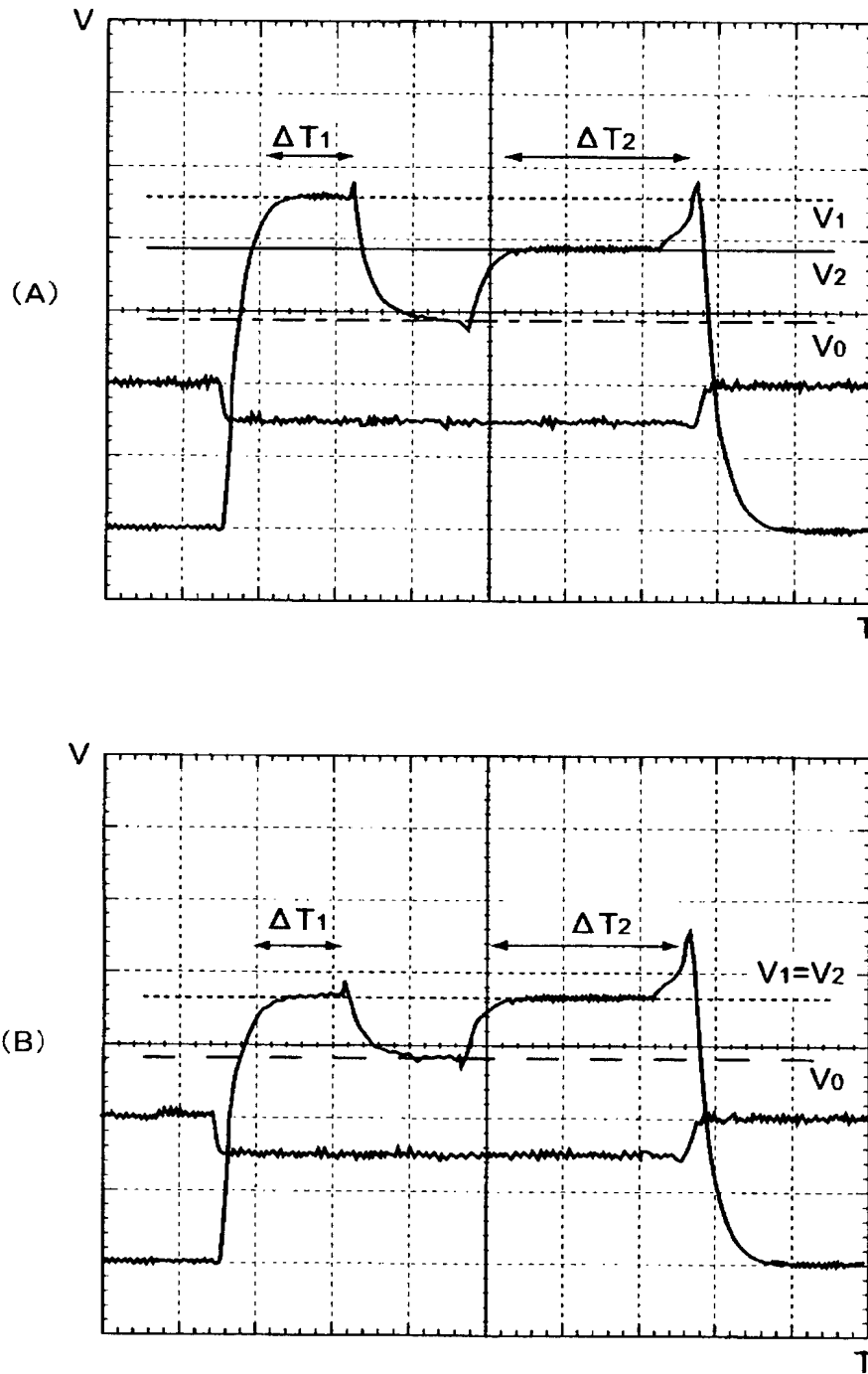
【図 7】



【図 8】

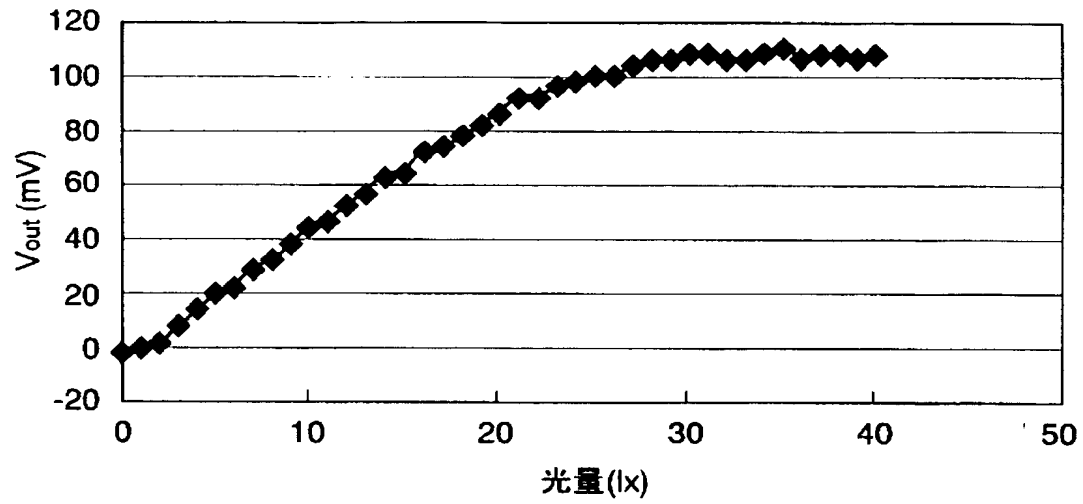


【図 9】

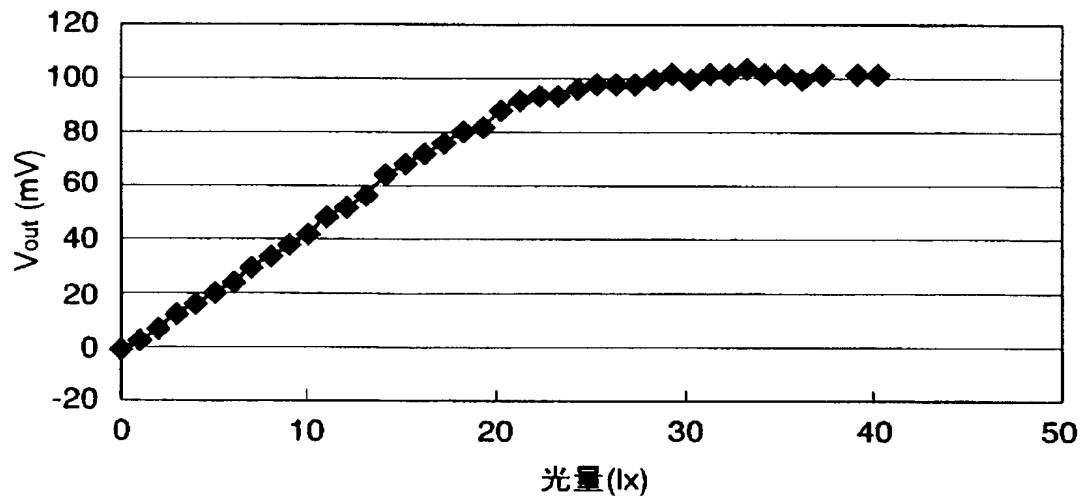


【図 10】

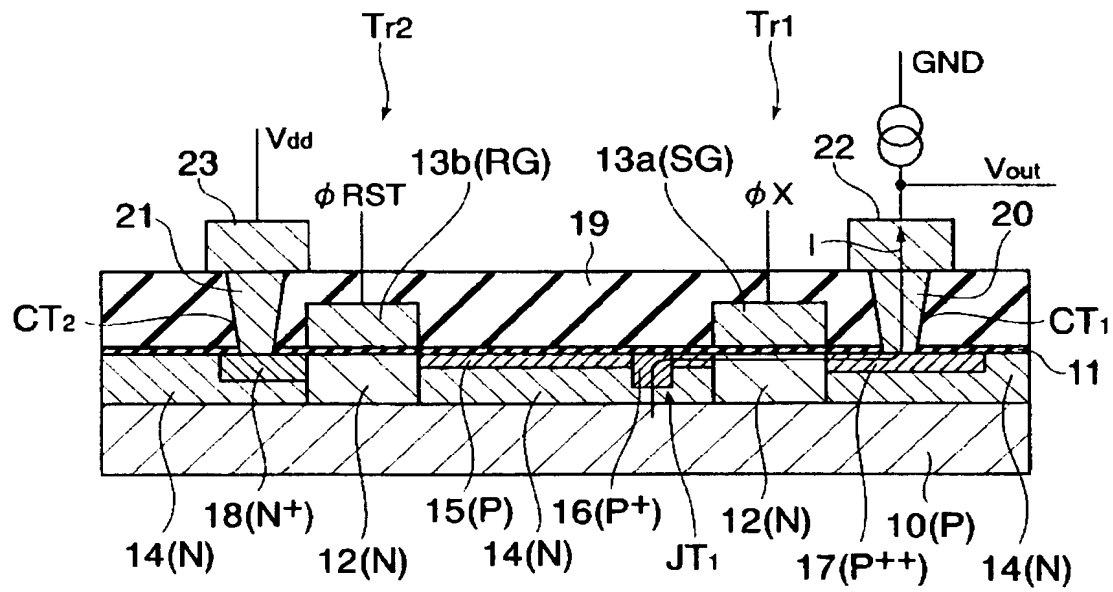
(A)



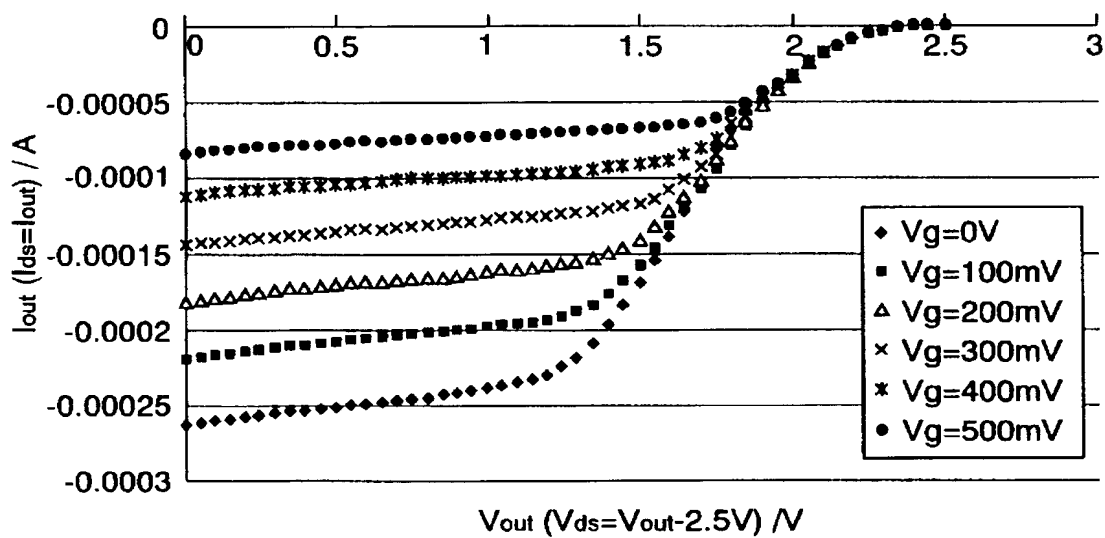
(B)



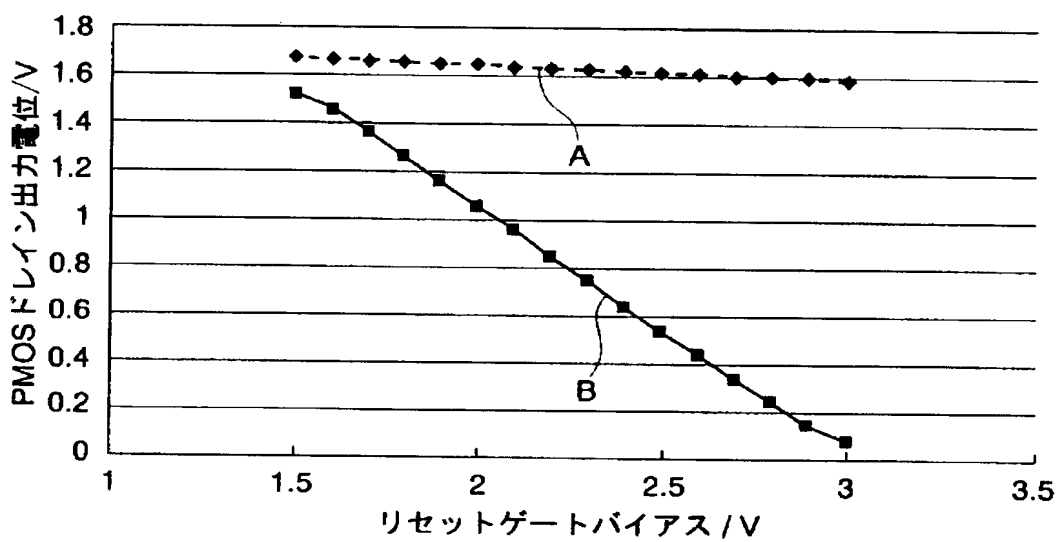
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 kTC ノイズフリーで黒スミアや暗電流を抑制し、開口率を向上して受光部面積の不足を解消することができる固体撮像装置を提供する。

【解決手段】 第 1 の半導体領域 1 5 の形成領域にフォトダイオード PD が構成されて受光部となり、この領域の半導体層 1 4 中に光を受光して生成された信号電荷が蓄積され、半導体層 (1 2, 1 4)、画素選択用のゲート電極 1 3 a、第 1 の半導体領域 1 5 と第 2 の半導体領域 1 6、および、第 3 の半導体領域 1 7 などから、画素選択用トランジスタ T_{r1} が構成され、受光部における半導体層 1 4 において蓄積された信号電荷により、半導体基板 1 0、半導体層 1 4 および第 2 の半導体領域 1 6 などから構成される接合トランジスタ JT_1 の閾値が変調され、画素選択用トランジスタ T_{r1} が ON したときに、信号電荷に応じて変調された電圧を出力する構成とする。

【選択図】 図 2

特願 2 0 0 2 - 3 2 0 2 5 2

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 2 0 2 4 8]

1 . 変更年月日

1 9 9 9 年 1 1 月 1 9 日

[変更理由]

住所変更

住 所

東京都新宿区西新宿六丁目 2 4 番 1 号

氏 名

日本テキサス・インスツルメンツ株式会社

.

.

.

.